

【特許請求の範囲】

【請求項1】 一方の電極が第1の出力端子に接続され、他方の電極が基準バイアス電位に接続された第1の容量素子と、一方の電極が第2の出力端子に接続され、他方の電極が上記基準バイアス電位に接続された第2の容量素子と、上記第1の容量素子の一方の電極への充電電流を第1の入力信号に応じてオン／オフ制御する第1の通電制御手段と、上記第1の容量素子の一方の電極からの放電電流を第2の入力信号に応じてオン／オフ制御する第2の通電制御手段と、上記第2の容量素子の一方の電極への充電電流を上記第2の入力信号に応じてオン／オフ制御する第3の通電制御手段と、上記第2の容量素子の一方の電極からの放電電流を上記第1の入力信号に応じてオン／オフ制御する第4の通電制御手段とを備えたことを特徴とする差動チャージポンプ回路。

【請求項2】 第1の容量素子の両電極間および第2の容量素子の両電極間にそれぞれ並列に接続するとともに、外部からのリセット信号によりオン動作して第1および第2の容量素子各充電状態を放電初期化するスイッチ回路を備えたことを特徴とする請求項1に記載の差動チャージポンプ回路。

【請求項3】 第1の容量素子および第2の容量素子をそれぞれ複数の容量素子の並列接続回路で構成するとともに、各並列接続回路の並列接続数を切り換えるスイッチ回路を設けたことを特徴とする請求項1または2に記載の差動チャージポンプ回路。

【請求項4】 第1の容量素子および第2の容量素子をそれぞれ複数の容量素子の直列接続回路で構成するとともに、各直列接続回路の直列接続数を切り換えるスイッチ回路を設けたことを特徴とする請求項1または2に記載の差動チャージポンプ回路。

【請求項5】 第1～第4の通電制御手段をそれぞれ、定電流回路と、この定電流回路に直列に介在するスイッチ回路により構成したことを特徴とする請求項1から4のいずれかに記載の差動チャージポンプ回路。

【請求項6】 第1の容量素子と第2の容量素子の各他方の電極を互いに共有させるとともに、この共有電極を基準バイアス電位に接続したことを特徴とする請求項1から5のいずれかに記載の差動チャージポンプ回路。

【請求項7】 第1～第4の通電制御手段をそれぞれMOSトランジスタを用いて構成したことを特徴とする請求項1から6のいずれかに記載の差動チャージポンプ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、差動チャージポンプ回路、さらにはPLL制御回路のループフィルタに適用して有効な技術に関するものであって、たとえばATMデータ通信に利用して有効な技術に関するものである。

【0002】

【従来の技術】たとえばPLLによる発振制御回路では、VCO（電圧制御発振器）の発振動作により得られる入力信号を所定周波数の基準信号と位相比較し、この比較結果をチャージポンプ回路を使って直流電圧に信号変換し、この直流電圧を上記VCOに周波数制御信号としてフィードバックさせることにより、上記VCOの発振周波数を所定周波数に制御することが行われる（たとえば、CQ出版社発行「実用電子回路ハンドブック（2）」261、262ページ参照）。

【0003】上記チャージポンプ回路は容量素子を用いて構成される。すなわち、位相比較器からパルス信号のデューティ（パルス幅）の形で与えられる比較出力を使って容量素子の充放電を制御することにより、その容量素子の電極間に上記比較出力に応じた充電電位が現れる。これにより、その容量素子の電極から、比較入力信号と比較基準信号間の位相差（タイミング差）に応じた直流電圧を得ることができる。このとき、上記チャージポンプ回路は、上記容量素子が持つ時定数により、上記直流電圧を所定の遅延時定数で伝達するループフィルタとしても機能する。

【0004】PLL制御回路の制御対象は上記VCOの発振周波数に限定されない。たとえばモータの回転速度などもPLL制御対象することができる。しかし、このPLL制御対象には、動作の安定性や回路構造上の必要性などの諸事情から、差動形式の制御信号を必要とするもの、あるいは差動形式の信号による制御が適しているものが少なくない。

【0005】そこで、本発明者は、チャージポンプ回路から差動形式の出力電圧を取り出すために、図7に示すよう差動チャージポンプ回路を考案した。

【0006】図7は本発明に先だって本発明者が考案・検討した差動チャージポンプ回路を示す。

【0007】同図に示すチャージポンプ回路1はPLL発振制御回路のループフィルタをなすものであって、容量素子C1、第1～第4の定電流回路11～14、第1～第4の充放電用スイッチ回路SW1～SW4、およびリセット用スイッチ回路RS1により構成されている。

【0008】容量素子C1は、その一方の電極が第1の出力端子Vout1に接続され、他方の電極が第2の出力端子Vout2に接続されている。

【0009】この容量素子C1の一方の電極は、第1のスイッチ回路SW1および第1の定電流回路11を介して充電側電源電位Vddに接続されるとともに、第2のスイッチ回路および第2の定電流回路12を介して放電側電源電位Vssに接続されている。

【0010】また、上記容量素子C1の他方の電極は、第3のスイッチ回路SW3および第3の定電流回路13を介して充電側電源電位Vddに接続されるとともに、第4のスイッチ回路SW4および第4の定電流回路14

を介して放電側電源電位 V_{ss} に接続されている。

【0011】さらに、上記容量素子 C_1 の両電極間にはリセット用スイッチ回路 RS_1 が並列に接続されている。

【0012】充放電用スイッチ回路 $SW_1 \sim SW_4$ は、位相比較器から位相比較結果に応じて与えられる第1、第2の2つの入力信号 UP/DN により、 SW_1 と SW_4 の組み合わせ、または SW_3 と SW_2 の組み合わせでそれぞれオン/オフ制御される。

【0013】すなわち、位相比較器の比較入力信号が比較基準信号よりも遅相していた場合は、その遅相の度合いに応じたデューティ幅を有する第1の信号 UP によって SW_1 、 SW_4 が共に間欠的にオン駆動される。これにより、容量素子 C_1 の一方の電極から他方の電極に向けての通電が行われ、一方の出力端子 V_{out1} の電位(V_1)が上昇する一方で、他方の出力端子 V_{out2} の電位(V_2)が下降する。

【0014】位相比較器の比較入力信号が比較基準信号よりも進相していた場合は、その進相の度合いに応じたデューティ幅を有する第2の信号 DN によって SW_3 、 SW_2 が共に間欠的にオン駆動される。これにより、容量素子 C_1 の他方の電極から一方の電極に向けての通電が行われ、先とは反対に、他方の出力端子 V_{out2} の電位(V_2)が上昇する一方で、一方の出力端子 V_{out1} の電位(V_1)が下降する。

【0015】以上のようにして、2つの出力端子 V_{out1} 、 V_{out2} からは、位相比較結果に応じて相補的に変化する差動電圧 V_1 、 V_2 を取り出すことができる。また、リセット用スイッチ回路 RS_1 をオン動作させることにより、容量素子 C_1 の残留電荷を放電して出力端子 V_{out1} 、 V_{out2} をリセット(初期化)することができる。

【0016】

【発明が解決しようとする課題】しかしながら、上述した技術には、次のような問題のあることが本発明者らによってあきらかとされた。

【0017】すなわち、上述した差動チャージポンプ回路1において、容量素子 C_1 の両電極間に現れる差動出力電圧 V_1 、 V_2 の中心電位すなわちバイアス電位を安定化させるためには、各定電流回11~14がそれぞれに上記容量素子 C_1 に流す充放電電流 $I_1 \sim I_4$ の値を正確に一致させる必要がある。しかし、定電流回路などを構成する各素子には、たとえば半導体の製造バラツキなどにより何らかの誤差要因が含まれる。このため、上記電流 $I_1 \sim I_4$ の値を完全に一致させることは現実には不可能であり、通常は何らかのアンバランスが生じる。しかし、そのアンバランスは出力端子 V_{out1} 、 V_{out2} に現れる差動出力電圧 V_1 、 V_2 の中心電位すなわちバイアス電位を不安定に浮動させる。さらに、そのバイアス電圧は、ノイズ重畳によっても不安定に浮動す

る。つまり、上述した差動チャージポンプ回路は、素子バラツキやノイズの影響を受けやすく、バイアス安定性および耐ノイズ性が悪いという問題のあることが判明した。

【0018】さらに、上述した回路1では、容量素子 C_1 の両電極間をスイッチ回路 RS_1 で短絡接続することにより出力端子 V_{out1} 、 V_{out2} の電位(V_1 、 V_2)を初期化するリセットが行われるが、このリセットでは、2つの出力端子 V_{out1} 、 V_{out2} 間での電位差($V_1 - V_2$)をゼロに初期化することができるが、その初期化状態でのバイアス電位を所定電位に安定させることはできなかった。

【0019】本発明の目的は、差動チャージポンプ回路において、製造バラツキなどのアンバランス要因に対する差動出力電圧のバイアス安定性を確保し、さらに耐ノイズ性も高めることができるようにする、という技術を提供することにある。

【0020】本発明の前記ならびにそのほかの目的と特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【0021】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0022】すなわち、一方の電極が第1の出力端子に接続され、他方の電極が基準バイアス電位に接続された第1の容量素子と、一方の電極が第2の出力端子に接続され、他方の電極が上記基準バイアス電位に接続された第2の容量素子とを有し、この2つの容量素子の各一方の電極に対して、入力信号に応じた充放電電流を双方向に通電させるというものである。

【0023】上述した手段によれば、第1、第2の容量素子の各一方の電極間に現れる差動出力電圧はそれぞれ、第1、第2の容量素子の各他方の電極が共通接続された基準バイアス電位を基準にして変化するようになる。

【0024】これにより、差動チャージポンプ回路において、製造バラツキなどのアンバランス要因に対する差動出力電圧のバイアス安定性を確保し、さらに耐ノイズ性も高めることができるようにする、という目的が達成される。

【0025】

【発明の実施の形態】本発明は、一方の電極が第1の出力端子に接続され、他方の電極が基準バイアス電位に接続された第1の容量素子と、一方の電極が第2の出力端子に接続され、他方の電極が上記基準バイアス電位に接続された第2の容量素子と、上記第1の容量素子の一方の電極への充電電流を第1の入力信号に応じてオン/オフ制御する第1の通電制御手段と、上記第1の容量素子の一方の電極からの放電電流を第2の入力信号に応じて

オン／オフ制御する第2の通電制御手段と、上記第2の容量素子の一方の電極への充電電流を上記第2の入力信号に応じてオン／オフ制御する第3の通電制御手段と、上記第2の容量素子の一方の電極からの放電電流を上記第1の入力信号に応じてオン／オフ制御する第4の通電制御手段とを備えたものである。

【0026】以下、本発明の好適な実施態様を図面を参照しながら説明する。

【0027】図1は本発明の技術が適用された差動チャージポンプ回路の第1の実施態様を示す。同図に示す回路は、互いに直列に接続された第1、第2の容量素子C1、C2、第1～第4の定電流回路11～14、第1～第4の充放電用スイッチ回路SW1～SW4、リセット用スイッチ回路RS1、RS2などにより構成されている。

【0028】第1の容量素子C1の一方の電極は第1の出力端子Vout1に、第2の容量素子C2の一方の電極は第2の出力端子Vout2にそれぞれ接続されている。また、第1、第2の容量素子C1、C2の各他方の電極はそれぞれ基準バイアス電位VBに共通接続されて

いる。
【0029】第1の定電流回路11と第1のスイッチ回路SW1は第1の容量素子C1の一方の電極と充電側電源電位Vddの間、第2の定電流回路12と第2のスイッチ回路SW2は第1の容量素子C1の一方の電極と放電側電源電位Vssの間、第3の定電流回路13と第3のスイッチ回路SW3は第2の容量素子C2の一方の電極と充電側電源電位Vddの間、第4の定電流回路14と第4のスイッチ回路SW4は第2の容量素子C2の一方の電極と放電側電源電位Vssの間に、それぞれ直列に接続されている。

【0030】リセット用スイッチ回路RS1、RS2は、第1の容量素子C1の両電極間および第2の容量素子C2の両電極間にそれぞれ並列に接続するとともに、外部から与えられるリセット信号RSによりオン動作して第1および第2の容量素子C1、C2を放電初期化する。

【0031】次に動作について説明する。充放電用スイッチ回路SW1～SW4は、位相比較器から位相比較結果に応じて与えられる第1、第2の2つの入力信号UP、DNにより、SW1とSW4の組み合わせ、またはSW3とSW2の組み合わせでそれぞれオン／オフ制御される。

【0032】すなわち、スイッチ回路SW1と定電流回路11は、第1の容量素子C1の一方の電極への充電電流I1を第1の入力信号UPに応じてオン／オフ制御する第1の通電制御手段を形成する。スイッチ回路SW2と定電流回路12は、第1の容量素子C1の一方の電極からの放電電流I2を第2の入力信号DNに応じてオン／オフ制御する第2の通電制御手段を形成する。スイッ

チ回路SW3と定電流回路13は、第2の容量素子C2の一方の電極への充電電流I3を上記第2の入力信号DNに応じてオン／オフ制御する第3の通電制御手段形成する。スイッチ回路SW4と定電流回路14は、第2の容量素子C2の一方の電極からの放電電流I4を上記第1の入力信号UPに応じてオン／オフ制御する第4の通電制御手段を形成する。

【0033】位相比較器の比較入力信号が比較基準信号よりも遅相していた場合は、その遅相の度合いに応じたデューティ幅を有する第1の信号UPによってSW1、SW4が共に間欠的にオン駆動される。これにより、第1の容量素子C1の一方の電極に充電電流I1が通電されるとともに、第2の容量素子C2の一方の電極から放電電流I4が通電される。このときは、一方の出力端子Vout1の電位(V1)が上昇する一方、他方の出力端子Vout2の電位(V2)が下降する。

【0034】位相比較器の比較入力信号が比較基準信号よりも進相していた場合は、その進相の度合いに応じたデューティ幅を有する第2の信号DNによってSW3、SW2が共に間欠的にオン駆動される。これにより、第1の容量素子C1の一方の電極から放電電流I2が通電されるとともに、第2の容量素子C2の一方の電極に充電電流I3が通電される。このときは、先とは反対に、他方の出力端子Vout2の電位(V2)が上昇する一方、一方の出力端子Vout1の電位(V1)が下降する。

【0035】したがって、2つの出力端子Vout1、Vout2からは、位相比較結果に応じて相補的に変化する差動電圧V1、V2を取り出すことができる。また、外部からのリセット信号RSにより、リセット用スイッチ回路RS1とRS2を共にオン動作させることにより、第1、第2の容量素子C1、C2の各残留電荷を一斉放電して出力端子Vout1、Vout2をそれぞれ基準バイアス電位VBにリセット（初期化）することができる。

【0036】以上のように、2つの容量素子C1、C2の各一方の電極に対して入力信号UPまたはDNに応じた充放電電流I1、I4またはI3、I2を双方向に通電させることにより、C1、C2の各一方の電極間に現れる差動出力電圧V1、V2はそれぞれ、C1、C2の各他方の電極が共通接続された基準バイアス電位VBを基準にして変化するようになる。

【0037】これにより、製造バラツキなどによるアンバランス要因が含まれていたとしても、差動出力電圧V1、V2のバイアス安定性を確保することができる。これとともに、ノイズによるバイアス電位の変動も阻止されるようになって、耐ノイズ性も高められる。

【0038】また、スイッチ回路RS1、RS2のオン動作により行われるリセットは、C1、C2の基準バイアス電位VBに対する残留電位をゼロに放電する形で

われる。つまり、差動出力端子 V_{out1} , V_{out2} を上記基準バイアス電位 V_B と同電位にする形で行われる。これにより、リセットにより常に一定の初期化状態を確実に得ることができるようになる。

【0039】図2は本発明による差動チャージポンプ回路の第2の実施態様を示す。

【0040】上述した回路との相違点に着目して説明すると、同図に示す回路では、第1の容量素子 $C1$ および第2の容量素子 $C2$ をそれぞれ複数の容量素子 $C11$, $C12$ および $C21$, $C22$ の並列接続回路で構成するとともに、各並列接続回路の並列接続数を切り換えるスイッチ回路 $SW5$, $SW6$ を設けている。

【0041】この場合、第1の容量素子 $C1$ と第2の容量素子 $C2$ の各容量値はそれぞれ $SW5$, $SW6$ のオン/オフ状態により、 $C11$, $C21$ または $C11+C12$, $C21+C22$ のいずれかに切換設定される。

【0042】 $SW5$, $SW6$ が共にオン状態の場合は、 $C1$ および $C2$ がそれぞれ大きな並列容量値を持つことにより、ループフィルタとして大きな時定数を持つことができる。また、 $SW5$, $SW6$ が共にオフ状態の場合は、 $C1$ および $C2$ がそれぞれ $C11$ および $C21$ だけによる比較的小さな容量値を持つことにより、充放電電流 $I1 \sim I4$ に対する電極間電圧の変化が大きくなって、入力信号 UP , DN の変化に対する出力電圧 $V1$, $V2$ の変化が大きくなる。つまり、この場合は変換利得が高くなる。

【0043】このようにして、チャージポンプ回路の動作特性をスイッチ操作により切換設定することができる。

【0044】図3は本発明による差動チャージポンプ回路の第3の実施態様を示す。

【0045】同図に示す回路では、第1の容量素子 $C1$ および第2の容量素子 $C2$ をそれぞれ複数の容量素子 $C11$, $C12$ および $C21$, $C22$ の直列接続回路で構成するとともに、各直列接続回路の直列接続数を切り換えるスイッチ回路 $SW5$, $SW6$ を設けている。

【0046】この場合、スイッチ回路 $SW5$ は、第1の容量素子 $C1$ を構成する容量素子 $C11$, $C12$ の片方($C12$)に並列に接続されている。今一つのスイッチ回路 $SW6$ も、第2の容量素子 $C2$ を構成する容量素子 $C21$, $C22$ の片方($C22$)に並列に接続されている。

【0047】 $SW5$, $SW6$ が共にオン状態の場合、 $C12$, $C22$ が $SW5$, $SW6$ でそれぞれバイパスされることにより、 $C1$ および $C2$ の各容量値はそれぞれ $C11$ および $C21$ の単独容量値となる。 $SW5$, $SW6$ が共にオフ状態に設定されると、 $C12$ および $C22$ が直列に介在することにより、 $C1$ および $C2$ の各容量値はそれぞれ $C11$ と $C12$ および $C21$ と $C22$ の直列容量値に減少する。

【0048】これにより、図2に示したものと同様、チャージポンプ回路の動作特性をスイッチ操作により切換設定することができる。

【0049】図4は本発明による差動チャージポンプ回路の応用例を示す。

【0050】同図に示す応用例はATMデータ通信における受信データの同期生成に使用されるPLL制御回路であって、差動チャージポンプ回路1、基準バイアス電圧源2、位相比較器3、 $VCO4$ により構成されている。

【0051】差動チャージポンプ回路1は、互いに直列に接続された第1, 第2の容量素子 $C1$, $C2$ 、第1~第4の定電流回路 $I1 \sim I4$ 、第1~第4の充放電用スイッチ回路 $SW1 \sim SW4$ 、リセット用スイッチ回路 $RS1$, $RS2$ により構成されている。

【0052】基準バイアス電圧源2は、差動チャージポンプ回路1および $VCO4$ などの各回路に共通の基準バイアス電位 V_B を与える。

【0053】位相比較器3は、 $VCO4$ の発振出力信号を比較入力信号とし、外部からの入力データ(受信データ) $DATA$ を比較基準信号として、両信号間の位相比較を行う。位相比較の結果は、 UP 信号または DN 信号として差動チャージポンプ回路1に入力される。

【0054】位相比較器3は、比較入力信号のパルス立ち上がりエッジタイミングが、比較基準信号($DATA$)のそれよりも遅相していた場合は、その遅相の度合いに応じたデューティ幅を有する第1の信号 UP (UP 信号)を出力する。

【0055】反対に、比較入力信号のパルス立ち上がりエッジタイミングが、比較基準信号($DATA$)のそれよりも進相していた場合は、その進相の度合いに応じたデューティ幅を有する第2の信号 DN ($DOWN$ 信号)を出力する。

【0056】差動チャージポンプ回路1は、位相比較器3からの入力信号 UP/DN に応じて2つの容量素子 $C1$, $C2$ への充放電を行う。これにより、2つの容量素子 $C1$, $C2$ の各一方の電極には、比較入力信号のパルス立ち上がりエッジタイミングと比較基準信号($DATA$)のそれとの時間差に応じて変化する差動出力電圧 $V1$, $V2$ が現れる。このようにして得られる差動出力電圧 $V1$, $V2$ が $VCO4$ に発振周波数制御信号として与える。

【0057】 $VCO4$ は、基準バイアス電圧源2から与えられるバイアス電位 V_B を基準に動作し、このバイアス電位 V_B を基準とする差動制御信号($V1$, $V2$)により発振周波数が可変制御されるように構成されている。

【0058】以上の構成により、 $VCO4$ は、その発振出力信号が外部からの入力データ $DATA$ に位相同期するようにフィードバック制御される。

【0059】また、差動チャージポンプ回路1をスイッチ回路RS1、RS2でリセット操作した場合は、その差動チャージポンプ回路1の差動出力信号V1、V2がVCO4の動作基準である基準バイアス電位VBに初期化される。これにより、VCO4の発振周波数も所定のバイアス点に初期化される。

【0060】図5は本発明の差動チャージポンプ回路にて使用される容量素子の構成例を示す。

【0061】同図に示す例では、p型半導体基板51内のn型拡散層52上に形成された一对のMOS容量により第1、第2の容量素子C1、C2を形成している。

【0062】この場合、n型拡散層52は基準バイアス電位VBに接続されてC1、C2の各他方の電極を形成する。このn型拡散層52の上には酸化膜(MOS酸化膜)53が形成され、この酸化膜53の上に、C1、C2の各一方の電極をなす金属電極54、55が形成されている。

【0063】チャージポンプ回路にて使用される容量素子は、充放電電流を双方向から通電するために、無極性の対極電極容量素子が必要となるが、本発明の差動チャージポンプ回路では、上述のように、2つの容量素子C1、C2の各他方の電極が基準バイアス電位VBに共通接続される構成であるため、必ずしも無極性であることを要しない。このことは、差動チャージポンプ回路を容量素子も含めて半導体集積回路化する上で大きな利点となる。

【0064】図6は本発明によるチャージポンプ回路の具体的な回路例を示す。

【0065】同図に示すように、各スイッチ回路SW1～SW4、RS1、RS2は、pチャネルMOSトランジスタMP1、MP2、nチャネルMOSトランジスタMN1～MN4を用いて構成することができる。また、定電流回路11、13は、同図に示すように、充電側と放電側とで共有させることができる。なお、IV2、IV2は、MOSトランジスタMP1、MN2とMP2、MN1を連動駆動するための論理回路(インバータ)である。

【0066】以上、本発明者によってなされた発明を実施態様にもとづき具体的に説明したが、本発明は上記実施態様に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、スイッチ回路はバイポーラトランジスタを用いて構成することもできる。

【0067】以上の説明では主として、本発明者によってなされた発明をその背景となった利用分野であるPLL発振制御回路に適用した場合について説明したが、それに限定されるものではなく、たとえばモータの回転制御などにも適用できる。

【0068】

【発明の効果】本願において開示される発明のうち、代

表的なものの概要を簡単に説明すれば、下記のとおりである。

【0069】すなわち、本願請求項1の発明は、一方の電極が第1の出力端子に接続され、他方の電極が基準バイアス電位に接続された第1の容量素子と、一方の電極が第2の出力端子に接続され、他方の電極が上記基準バイアス電位に接続された第2の容量素子と、上記第1の容量素子の一方の電極への充電電流を第1の入力信号に応じてオン/オフ制御する第1の通電制御手段と、上記第1の容量素子の一方の電極からの放電電流を第2の入力信号に応じてオン/オフ制御する第2の通電制御手段と、上記第2の容量素子の一方の電極への充電電流を上記第2の入力信号に応じてオン/オフ制御する第3の通電制御手段と、上記第2の容量素子の一方の電極からの放電電流を上記第1の入力信号に応じてオン/オフ制御する第4の通電制御手段とを備えたものであり、これにより、製造バラツキなどのアンバランス要因に対する差動出力電圧のバイアス安定性を確保できるとともに、耐ノイズ性を高めることができるという効果が得られる。

【0070】請求項2に記載の発明は、請求項1に加えて、第1の容量素子の両電極間および第2の容量素子の両電極間にそれぞれ並列に接続するとともに、外部からのリセット信号によりオン動作して第1および第2の容量素子各充電状態を放電初期化するスイッチ回路を備えたものであり、これにより、所定の初期化状態を得ることができるという効果が得られる。

【0071】請求項3に記載の発明は、請求項1または2に加えて、第1の容量素子および第2の容量素子をそれぞれ複数の容量素子の並列接続回路で構成するとともに、各並列接続回路の並列接続数を切り換えるスイッチ回路を設けたものであり、これにより、差動チャージポンプ回路の特性を切換設定することができるという効果が得られる。

【0072】請求項4に記載の発明は、請求項1から3のいずれかに加えて、第1の容量素子および第2の容量素子をそれぞれ複数の容量素子の直列接続回路で構成するとともに、各直列接続回路の直列接続数を切り換えるスイッチ回路を設けたものであり、これにより、差動チャージポンプ回路の特性を切換設定することができるという効果が得られる。

【0073】請求項6に記載の発明は、請求項1から5のいずれかに加えて、第1の容量素子と第2の容量素子の各他方の電極を互いに共有させるとともに、この共有電極を基準バイアス電位に接続したものであり、これにより、容量素子を含めたチャージポンプ回路全体の半導体集積回路化が容易になるという利点が得られる。

【図面の簡単な説明】

【図1】本発明の技術が適用された差動チャージポンプ回路の第1の実施態様を示す回路図

【図2】本発明による差動チャージポンプ回路の第2の

11

実施態様を示す回路図

【図3】本発明による差動チャージポンプ回路の第3の実施態様を示す回路図

【図4】本発明による差動チャージポンプ回路の応用例

【図5】本発明の差動チャージポンプ回路にて使用される容量素子の構成例

【図6】本発明によるチャージポンプ回路の具体的な回路例

【図7】本発明に先だって検討した差動チャージポンプ回路

【符号の説明】

C1 第1の容量素子

C2 第2の容量素子

11~14 定電流回路(通電制御手段)

SW1~SW4 充放電用スイッチ回路(通電制御手段)

RS1, RS2 リセット用スイッチ回路

Vout1 第1の出力端子

12

Vout2 第2の出力端子

VB 基準バイアス電位

Vdd 充電側電源電位

Vss 放電側電源電位

UP, DN 入力信号(UP/DOWN)

V1, V2 差動出力電圧

C11, C12 容量素子(C1)

C21, C22 容量素子(C2)

SW5, SW6 容量切換用スイッチ回路

10 1 差動チャージポンプ回路

2 基準バイアス電圧源

3 位相比較器

4 VCO

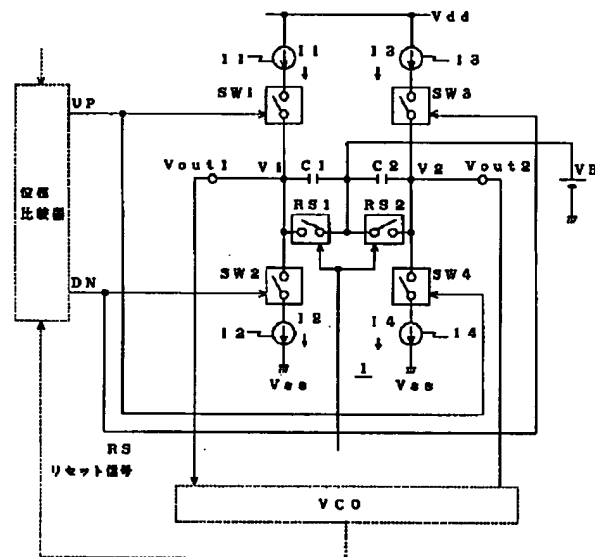
51 p型半導体基板

52 n型拡散層

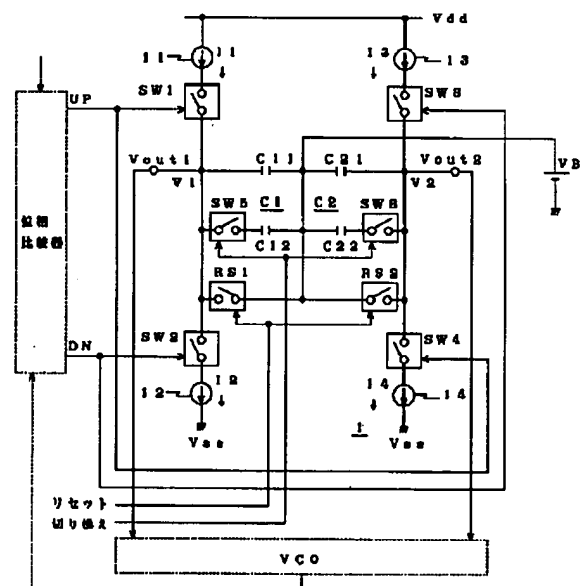
53 酸化膜

54, 55 金属電極

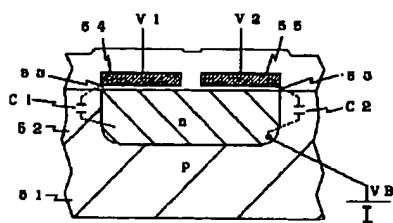
【図1】



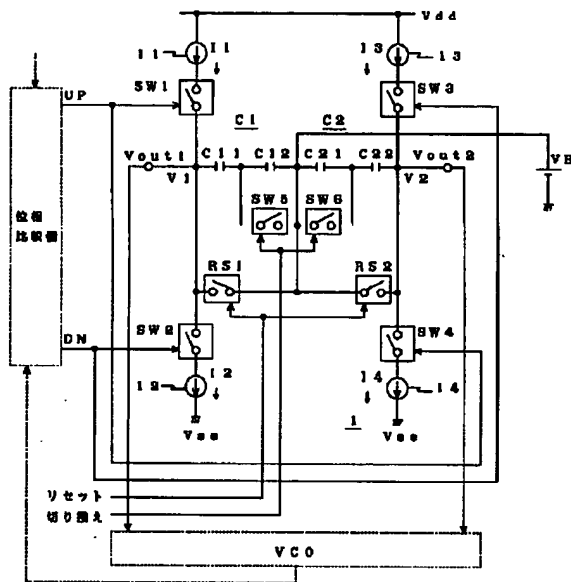
【図2】



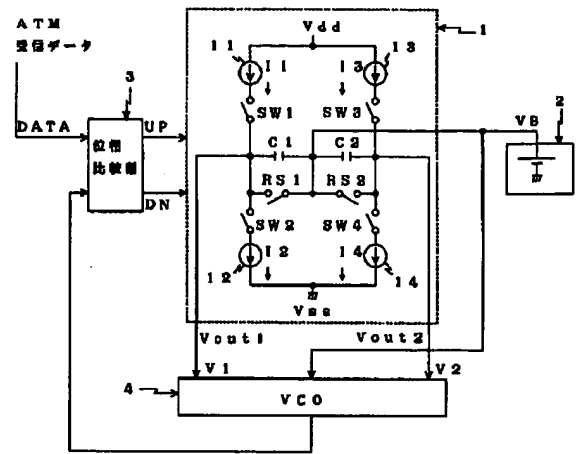
【図5】



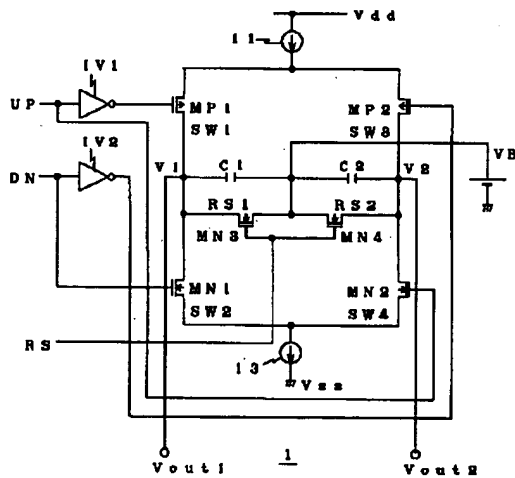
【図3】



【図4】



【図6】



【図7】

